

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-032998
 (43)Date of publication of application : 31.01.2002

(51)Int.Cl. G11C 29/00
 G01R 31/28
 G06F 12/16

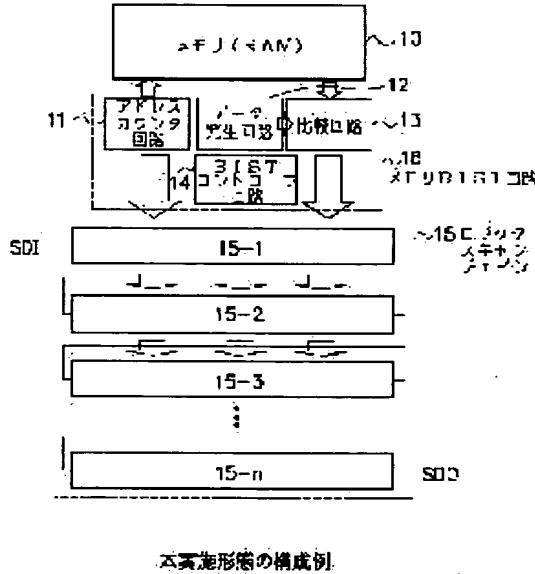
(21)Application number : 2000-214821 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 14.07.2000 (72)Inventor : SUZUKI MASAHITO

(54) FAULT ANALYZING DEVICE FOR SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To enable to specify existence of troubles, places, the number of them, or the like with a BIST test of only one time without adding complex circuit constitution.

SOLUTION: Discrimination of a normal/defective condition is performed successively using a test circuit incorporated in a memory 10 based on address information supplied to the memory 10, consequently, fault discrimination information outputted from a comparing circuit 13 and address information outputted from an address counter circuit 11 are taken successively in a logic scan chain 15 and held. Thereby, the logic scan chain 15 provided previously for a logic test is utilized effectively for a memory test, and information about defective places and the number of defect of one or more can be obtained in the logic scan chain 15 with a BIST test of only one time without adding complex circuit constitution.



LEGAL STATUS

[Date of request for examination] 19.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Failure-analysis equipment of the semiconductor memory characterized by having the scanning register circuit which incorporates the defect judging circuit which performs the defect judging inside the above-mentioned semiconductor memory one by one based on the address information supplied, and the defect judging result information and the above-mentioned address information outputted from the above-mentioned defect judging circuit, and carries out sequential maintenance using the test circuit made inside the semiconductor memory.

[Claim 2] The above-mentioned defect judging circuit is failure-analysis equipment of the semiconductor memory according to claim 1 characterized by having the comparator circuit which compares the data generating circuit which generates the expected value of the output signal from the above-mentioned semiconductor memory with the output signal from the above-mentioned semiconductor memory and the expected value outputted from the above-mentioned data generating circuit, and outputs the result of coincidence or an inequality as the above-mentioned defect judging result information.

[Claim 3] The above-mentioned scanning register circuit is failure-analysis equipment of the semiconductor memory according to claim 1 characterized by being the logic scan register circuit used in case logical circuits other than the above-mentioned semiconductor memory are tested.

[Claim 4] The above-mentioned scanning register circuit is failure-analysis equipment of the semiconductor memory according to claim 3 characterized by having the selector which is constituted by two or more shift registers and changes the shift action to the 1st direction, and the shift action to the 2nd direction.

[Claim 5] The above-mentioned selector is failure-analysis equipment of the semiconductor memory according to claim 4 characterized by choosing the shift action to the 1st direction of the above in case the above-mentioned logical circuit is tested, and choosing the shift action to the 2nd direction of the above in case the above-mentioned semiconductor memory is tested.

[Claim 6] Failure-analysis equipment of the semiconductor memory according to claim 2 characterized by having the defect flag generation circuit which generates a defect flag and outputs the above-mentioned defect flag synchronizing with a test actuation clock when the inequality of the output signal from the above-mentioned data generating circuit is detected by the above-mentioned comparator circuit.

[Claim 7] Failure-analysis equipment of the semiconductor memory according to claim 6 characterized by using the defect flag outputted from the above-mentioned defect flag generation circuit as a clock of the above-mentioned scanning register circuit of operation.

[Claim 8] It is failure-analysis equipment of the semiconductor memory according to claim 1 which the above-mentioned defect judging circuit performs the defect judging inside two or more above-mentioned semiconductor memories based on the address information supplied common to two or more semiconductor memories, and is characterized by for the above-mentioned scanning register circuit incorporating the defect judging result information and the above-mentioned address information about two or more above-mentioned semiconductor memories

outputted from the above-mentioned defect judging circuit, and carrying out sequential maintenance.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the failure-analysis equipment of a semiconductor memory.

[0002]

[Description of the Prior Art] The memory test technique using BIST (Built-in Self Test) is well used as technique for analyzing the defect of memory, such as a semiconductor memory, conventionally. This BIST outputs whether inside, a test pattern is beforehand made inside a semiconductor chip, it is crowded, the test of all memory cells was performed in the chip using that test pattern, and the defect was on that result memory to the exterior of a semiconductor chip as information on PASS or FAIL.

[0003]

[Problem(s) to be Solved by the Invention] If the test technique by such BIST is used, there is a merit that a memory test can be performed at a high speed. However, the information acquired is only the information on whether fault was on memory, and there having been fault by how many places about where [of a memory cell] fault having been etc. and the information on about had the problem that it could not obtain at all.

[0004] Although it is possible to specify a fault, the defect number, etc. of a memory cell if the register for holding fault information corresponding to a memory cell is added to a BIST circuit, now, the circuit scale of BIST will become very large. And in order to acquire more fault information, a bigger BIST circuit will be needed. Moreover, when fault does not occur, the circuit added in order to hold fault information will become useless.

[0005] Drawing 7 is drawing showing the example of a configuration of the conventional memory BIST circuit equipped with the register which holds fault information in this way. As shown in drawing 7, a memory BIST circuit consists of the address counter circuit 101 which outputs the address information for specifying the memory cell on memory (RAM) 100, a data generating circuit 102 which generates the expected value of a test result, a comparator circuit 103 which compares the output signal and the above-mentioned expected value of memory 100, and judges the quality of memory 100, and a BIST controller circuit 104 which controls the State of memory BIST actuation.

[0006] The above-mentioned address counter circuit 101, the data generating circuit 102, and a comparator circuit 103 are controlled by the BIST controller circuit 104, respectively. The comparator circuit 103 is equipped with the function in which the compared result can be held to a register in the unit of a bit line. Therefore, about the defect on each bit line at least, identifying is possible by detecting the condition of the register. However, since there was no function to hold address information, there was a problem that a fault could not be pinpointed more in a detail.

[0007] Although the test technique of outputting the output signal and the test address of all memory cells to the external terminal of a semiconductor chip, having inputted this into the memory circuit tester of dedication etc., and on the other hand verifying it was also performed, now, there was a problem that the test of the memory which operates at a high speed could not

be performed. That is, to the working speed of memory, since the working speed of a memory circuit tester was slow, there was a limitation in examining the latest high-speed memory by the memory circuit tester of dedication.

[0008] Moreover, with the product which carried two or more memory in the semiconductor chip, in order to output the output signal of all memory cells to the external terminal of a semiconductor chip, many selector circuits are needed. Therefore, the test circuit of the whole product became large, and also the propagation velocity of a signal became slow and the problem that the system behavior rate of a product may be spoiled had it.

[0009] The present condition is carried out by [as the trial and failure analysis using the BIST technique being the following] from the above thing. That is, first, a memory test is performed by the BIST technique and the existence of the fault on the memory which tested is judged. This judgment approach compares a memory output signal with the expected value prepared beforehand, when both are inequalities, it stores information "with fault" in a register, and it outputs this information to an external terminal. The information acquired here is only the existence of fault generating.

[0010] When fault generating is checked, failure analysis is performed next. In this failure analysis, BIST actuation is performed, BIST actuation is stopped by the fault generating pattern, it is set as the circuit condition which outputs the information (a bit line / word line information) showing the fault at that time to an external terminal, and defect information comes to hand.

[0011] However, to be memory with two or more faults, it is necessary to repeat BIST actuation and defect information detection actuation, although all defect information is acquired, and to perform them to it by such test technique. For this reason, a continuity will be lost in BIST actuation and the case where it differs from the test result at the time of verifying the existence of fault first will arise. Furthermore, since it did not know by which pattern fault occurred, even the last pattern had to perform BIST actuation, fault information had to come to hand, and there was a problem that defect information detection will take long time amount.

[0012] Without accomplishing in order to solve such a problem, and adding complicated circuitry, this invention enables it to specify the existence of fault, a part, the number, etc. by BIST trial once, and aims at the ability to be made to shorten the processing time which a memory test takes sharply.

[0013]

[Means for Solving the Problem] With the failure-analysis equipment of the semiconductor memory of this invention, based on the address information supplied to a semiconductor memory, the defect judging inside the semiconductor memory concerned is performed one by one using the test circuit of a semiconductor memory, and the defect judging result information and address information which are outputted as a result are incorporated one by one to the scanning register circuit, and are held to it. In case this scanning register circuit tests logical circuits other than a semiconductor memory, in order to use it, the logic scan register circuit which it has from the first is used, and the function which can acquire the information on a defect judging result is added.

[0014] Since this invention consists of the above-mentioned technical means, it becomes possible [carrying out sequential maintenance of the defect judging result information detected at the time of the test of a semiconductor memory with address information in a scanning register circuit], using effectively the scanning register circuit which exists from the first. Even if this does not add complicated circuitry, it becomes possible for it to become unnecessary to carry out by stopping test actuation, whenever a defect is detected, and repeating processing in which the fault is pinpointed, and to acquire the information about one or more faults and the defect numbers to a scanning register circuit by the test once.

[0015]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of this invention is explained based on a drawing. Drawing 1 is drawing showing the example of a configuration of the failure-analysis equipment of the semiconductor memory by this operation gestalt.

[0016] In drawing 1, 16 is the memory BIST circuit of this operation gestalt, and consists of the address counter circuit 11, a data generating circuit 12, a comparator circuit 13, and a BIST

controller circuit 14. The above-mentioned address counter circuit 11 outputs the address information for specifying the memory cell on memory (RAM) 10. The data generating circuit 12 generates the expected value of a test result.

[0017] A comparator circuit 13 compares the signal outputted from memory 10 based on address information with the expected value outputted from the above-mentioned data generating circuit 12 for every lead pattern, and judges the quality of memory 10. The BIST controller circuit 14 controls the State of memory BIST actuation. The above-mentioned address counter circuit 11, the data generating circuit 12, and a comparator circuit 13 are controlled by the BIST controller circuit 14, respectively.

[0018] Moreover, 15 is the logic scan chain which consisted of scanning flip-flops. This logic scan chain 15 is divided into two or more shift registers 15-1, 15-2, --, 15-n. It consists of registers of the same number mostly with each divided shift register 15-1, 15-2, --, the number of memory cells (for example, 72 pieces) with which 15-n exists on one bit line, respectively.

[0019] This logic scan chain 15 is a configuration which it has from the first, in order to make high fault coverage at the time of examining about logic parts other than memory 10 (not shown), and it uses also for a memory test the configuration which it has from the first in this way with this operation gestalt.

[0020] In case the usual logic test is performed, each shift register 15-1, 15-2, --, 15-n perform a shift action in the direction of X (longitudinal direction of drawing). On the other hand, in case a memory test is performed, it is made to perform a shift action in the direction (lengthwise direction of drawing) of Y. With this operation gestalt, the configuration for carrying out a shift action to the existing configuration with which the logic scan chain 15 is equipped also in the direction of Y is added. The detail about this is mentioned later.

[0021] When the failure-analysis equipment constituted as mentioned above performs the memory test by BIST, the logic scan chain 15 activates the shift register of the direction of Y. At this time, the address information outputted from the address counter circuit 11 and the defect judging result information on the memory 10 outputted from a comparator circuit 13 (defect judging information for each memory cell connected with one bit line) are always outputted to the 1st step of shift register 15-1 in the logic scan chain 15.

[0022] In this case, as a result of carrying out the BIST trial on the bit line shown by a certain address information, when there is no fault in each memory cell on that bit line, the defect judging result information on "0" is outputted for all values to the first step of shift register 15-1. On the other hand, when there is fault in at least one of each of the memory cell on a certain bit line, the defect judging result information that the value of the part corresponding to the memory cell was set to "1" is outputted to the 1st step of shift register 15-1.

[0023] And if a defect is detected, the clock which operates the logic scan chain 15 will be generated, and address information and defect judging result information will be taken in in a register. Even when one defect is detected, the memory test by BIST is performed continuously. And when two or more defects are detected, the 1st step of shift register 15-1 carries out the sequential shift of the defect information in which the 2nd step of shift register 15-2 was stored in the register like the 3rd step of shift register 15-3 in the direction of Y at the 2nd step of shift register 15-2. Thereby, it is possible each shift register 15-1, 15-2, --, to hold n defect information to 15-n at the maximum.

[0024] Based on address information, the fault on memory 10 can be pinpointed in a detail by detecting the condition of each shift register 15-1, 15-2, --, the information held at 15-n as a result of the above BIST trial. Moreover, it can know easily also about how old defect having been on memory 10.

[0025] Drawing 2 is drawing showing the circuitry of one scanning flip-flop which constitutes the above-mentioned logic scan chain 15. As shown in drawing 2, a scanning flip-flop is constituted by D type flip-flop (DFF) 21 and two selectors 22 and 23. As shown in drawing 3, two or more arrangement of such a scanning flip-flop of a configuration is carried out at the shape of a matrix, and the logic scan chain 15 of drawing 1 is constituted. In addition, in drawing 3, a dotted line shows the flow of scanning actuation of the direction of X used at the time of a logic test, and the continuous line shows the flow of scanning actuation of the direction of Y used at the

time of a memory test.

[0026] In drawing 2, the input terminal of a scanning chain, and SO_X and SO_Y of SI_X and SI_Y are the output terminals of a scanning chain, respectively. The logic scan chain at the time of testing the logic section which is not illustrated (shift action of the direction of X) is realized by an input terminal SI_X and the output terminal SO_X. That is, the information outputted from the output terminal SO_X of a certain scanning flip-flop is inputted into the input terminal SI_X of the scanning flip-flop of the next step next to the direction of X.

[0027] Moreover, the BIST condition at the time of testing memory 10 (shift action of the direction of Y) is realized by an input terminal SI_Y and the output terminal SO_Y. That is, the information outputted from the output terminal SO_Y of a certain scanning flip-flop is inputted into the input terminal SI_Y of the scanning flip-flop of the next step next to the direction of Y.

[0028] A selector 22 performs the change of such a chain of the direction of X, and the direction of Y based on memory test mode signal MT. That is, the information from the input terminal SI_X of the direction of X and the information from the input terminal SI_Y of the direction of Y are inputted into the selector 22. A selector 22 outputs the information which chose and chose which information according to memory test mode signal MT inputted to a selector 23.

[0029] The information chosen by the above-mentioned selector 22 and information Sys-in given at the time of the usual system behavior other than the time of a test are inputted into the selector 23. A selector 23 outputs the information which chose and chose which information according to selection enable signal SE inputted to DFF21. A selector 23 chooses the print-out from a selector 22 at the time of the logic test before product shipment, or a memory test, and after product shipment always chooses system-information Sys-in.

[0030] Thus, it enables it to perform a shift action also in the direction of Y by adding a selector 22 with this operation gestalt to the selector 23 which it had from the first as a configuration of a scanning flip-flop, and DFF21 at the time of the memory test by BIST.

[0031] The information chosen by the above-mentioned selector 23 is held at DFF21 concerned according to the clock CK supplied to DFF21. The clock CK at the time of the memory test activation by BIST is generated according to the defect flag generated based on the judgment result of BIST in the comparator circuit 13 of drawing 1. The circuit for generating this defect flag is constituted like drawing 4.

[0032] As shown in drawing 4, the defect flag generation circuit 41 is added to the comparator circuit 13 shown in drawing 1. The comparator circuit 13 has the comparison processing section 42-1 of the number of the memory cells which exist on one bit line (for example, 72 pieces), and the same number, 42-2, --, 42-m. 42-m consists of AND circuit 44 which considers each comparison processing section 42-1, 42-2, --, XOR circuit 43 that considers the output signal from the memory cell in memory 10, and expected value from the data generating circuit 12 as two inputs, and the output signal and the lead enable signal RE of this XOR circuit 43 as two inputs, and a register 45 which holds the output signal of this AND circuit 44 according to Clock CK.

[0033] The above-mentioned lead enable signal RE serves as "H" in the state of a lead, and is set to "L" in the state of a light. If the inequality of the signal and expected value which were read from the memory cell of memory 10 is detected by this, the output signal of a register 45 will serve as "H". Such defect judging actuation is performed in two or more comparison processing sections 42-1, 42-2, --, 42-m, respectively, and the whole of the result is inputted into OR circuit 46 in the defect flag generation circuit 41.

[0034] Therefore, in 42-m, as a result of performing a defect judging about two or more comparison processing sections 42-1, 42-2, --, two or more memory cells that exist on a certain bit line, respectively, when the defect of a memory cell is detected at least one, the signal of "H" is outputted from OR circuit 46. The output signal of OR circuit 46 is inputted into NAND circuit 47 with Clock CK, and the output signal of this NAND circuit 47 is outputted as a defect flag. Thereby, the pulse of Clock CK and opposition is outputted as a defect flag.

[0035] Thus, the defect flag generated by the defect flag generation circuit 41 is used as a clock of the logic scan chain 15 of operation shown in drawing 1. The schematic diagram in that case is shown in drawing 5 R> 5. Drawing 5 is drawing for explaining the approach of the clock used at

the time of a logic scan, and the clock used at the time of the memory scan by BIST to change, and shows the configuration including the above-mentioned defect flag generation circuit 41. In addition, in drawing 5, since what attached the same sign as the sign shown in drawing 1 has the same function, the detailed explanation about this is omitted.

[0036] As shown in drawing 5, the signal of the direction chosen and chosen by the selector 51 according to memory test mode signal MT for any of the defect flag outputted from the defect flag generation circuit 41 and the clock CK supplied from the exterior they are used as a clock of the logic scan chain 15 of operation. The clock CK supplied from the exterior at the time of a logic scan is supplied to the logic scan chain 15, and a defect flag is supplied to the logic scan chain 15 as a clock CK of operation at the time of a memory scan.

[0037] Thereby, at the time of a memory scan, the logic scan chain 15 takes in the defect information one by one to a shift register 15-1, 15-2, --, 15-n, only when a defect is detected on memory 10.

[0038] That is, if a defect is detected on a bit line with memory 10, the address information which a defect flag is outputted from the defect flag generation circuit 41, and is outputted from the address counter circuit 11, and the defect judging result information outputted from a comparator circuit 13 will be inputted into the 1st step of shift register 15-1 of the logic scan chain 15, and defect judging result information will be incorporated by the rising edge of a defect flag.

[0039] Moreover, when a defect is detected two, synchronizing with the rising edge of a defect flag, the defect information held at the 1st step of shift register 15-1 is shifted to the 2nd step of shift register 15-2, and new defect information is overwritten by the 1st step of shift register 15-1. When three or more defects are detected, the sequential shift of the defect information held in the register is similarly carried out in the direction of Y. This holds n defect information at the maximum to each shift register 15-1, 15-2, --, 15-n.

[0040] After all BIST actuation is completed, memory test mode signal MT can be changed, it can change into a logic scan condition, and the part and the number which the defect generated can be correctly detected each shift register 15-1, 15-2, --, by outputting and verifying the maintenance result of 15-n from the external terminal SDO.

[0041] In addition, although the above-mentioned operation gestalt explained the case where the number of memory 10 was one, it is possible by changing the die length of the logic scan chain 15 to test two or more memory to coincidence, and to also collect defect information at once. Drawing 6 is drawing showing the example of a configuration in the case of testing two memory 60-1 and 60-2 to coincidence. In addition, in this drawing 6, since what attached the same sign as the sign shown in drawing 1 has the same function, the overlapping explanation is omitted.

[0042] The memory BIST circuit 61 shown in drawing 6 is equipped with the address counter circuit 11, the data generating circuit 12, two comparator circuits 13-1, 13-2, and the BIST controller circuit 14. The address counter circuit 11 outputs the same address information to two memory 60-1 and 60-2. According to this, memory 60-1 and 60-2 output the information on the memory cell of the specified same address to two comparator circuits 13-1 and 13-2. A comparator circuit 13-1 and 13-2 perform defect judging processing in juxtaposition.

[0043] Moreover, the logic scan chain 62 shown in drawing 6 is divided into two or more shift registers 62-1, 62-2, --, 62-n. It consists of registers of the same number mostly with each divided shift register 62-1, 62-2, --, the total number of the memory cell which two memory 60-1 and 60-2 boil 62-n, respectively, and exists on one certain bit line. That is, if memory 60-1 and 60-2 have a capacity respectively equivalent to the memory 10 of drawing 1, the shift register 62-1 of drawing 6, 62-2, --, the number of registers that 62-n has become the shift register 15-1 of drawing 1 R> 1, 15-2, --, twice the number of registers that 15-n has.

[0044] When are constituted like this drawing 6 and performing the memory test by BIST, the logic scan chain 62 activates the shift register of the direction of Y. At this time, the address information outputted from the address counter circuit 11, and two comparator circuits 13-1, the memory 60-1 outputted from 13-2 and the defect judging result information on 60-2 are always outputted to the 1st step of shift register 62-1 in the logic scan chain 62.

[0045] In this case, as a result of carrying out the BIST trial on the bit line shown by a certain

address information, when there is no fault in each memory cell on that bit line, the defect judging result information on "0" is outputted for all values to the 1st step of shift register 62-1. On the other hand, when there is fault in at least one of each of the memory cell on a certain bit line, the defect judging result information that the value of the part corresponding to the memory cell was set to "1" is outputted to the 1st step of shift register 62-1.

[0046] And if a defect is detected, the clock which operates the logic scan chain 62 will be generated, and address information and defect judging result information will be taken in in a register. Even when one defect is detected, the memory test by BIST is performed continuously. And when two or more defects are detected, the 1st step of shift register 62-1 carries out the sequential shift of the defect information in which the 2nd step of shift register 62-2 was stored in the register like the 3rd step of shift register 62-3 in the direction of Y at the 2nd step of shift register 62-2. Thereby, it is possible in two memory 60-1 and the defect information about 60-2 each shift register 62-1, 62-2, --, to hold to n piece coincidence at 62-n at the maximum.

[0047] And after all BIST actuation is completed, memory test mode signal MT can be changed, it can change into a logic scan condition, and two memory 60-1, and the part and the number which the defect generated in 60-2 can be correctly detected each shift register 62-1, 62-2, --, by outputting and verifying the maintenance result of 62-n from the external terminal SDO.

[0048] In addition, it passes over no operation gestalten shown above to what showed an example of the somatization which hits carrying out this invention, and the technical range of this invention must not be restrictively interpreted by these. That is, this invention can be carried out in various forms, without deviating from the pneuma or its main description.

[0049]

[Effect of the Invention] As explained in detail above, according to this invention, it becomes possible to carry out sequential maintenance of the defect judging result information detected at the time of the test of a semiconductor memory with address information in a scanning register circuit, using the scanning register circuit which exists from the first for a logic test effective also in a memory test. Without this adding complicated circuitry, one or more faults and the defect numbers can be once specified by the test, and the processing time which a memory test takes can be shortened sharply.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the example of a configuration of the failure-analysis equipment of the semiconductor memory by this operation gestalt.

[Drawing 2] It is drawing showing the circuitry of one scanning flip-flop which constitutes a logic scan chain.

[Drawing 3] It is drawing showing the example of a configuration of the register chain using the scanning flip-flop shown in Drawing 2.

[Drawing 4] It is drawing showing the example of a configuration of a defect flag generation circuit.

[Drawing 5] It is drawing for explaining the approach of the clock used at the time of a logic scan, and the clock used at the time of the memory scan by BIST to change.

[Drawing 6] It is drawing showing other examples of a configuration of the failure-analysis equipment of the semiconductor memory by this operation gestalt.

[Drawing 7] It is drawing showing the configuration of the conventional memory BIST circuit.

[Description of Notations]

10 Memory (RAM)

11 Address Counter Circuit

12 Data Generating Circuit

13 Comparator Circuit

14 BIST Controller Circuit

15 Logic Scan Chain

15-1, 15-2, 15-n Shift register

16 Memory BIST Circuit

22 Selector

41 Defect Flag Generation Circuit

51 Selector

60-1, 60-2 Memory (RAM)

61 Memory BIST Circuit

13-1, 13-2 Comparator circuit

62 Logic Scan Chain

62-1, 62-2, 62-n Shift register

[Translation done.]

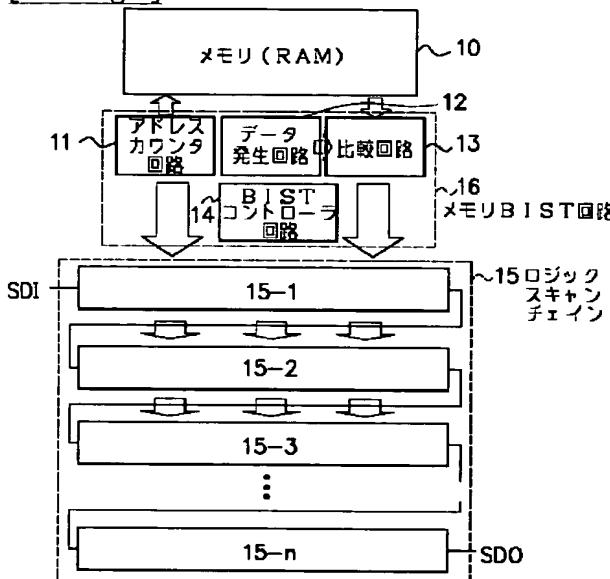
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.

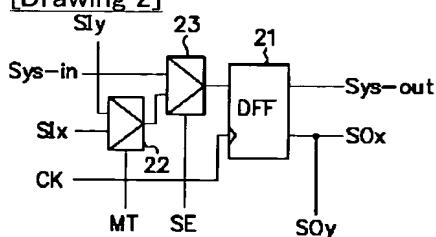
DRAWINGS

[Drawing 1]



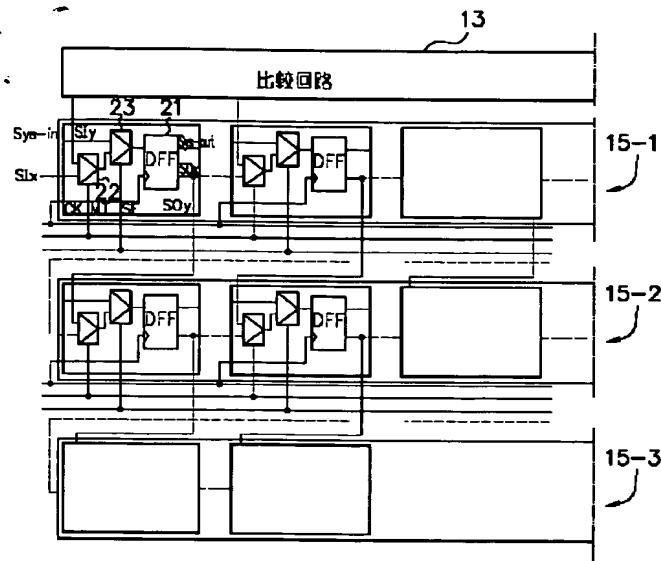
本実施形態の構成例

[Drawing 2]



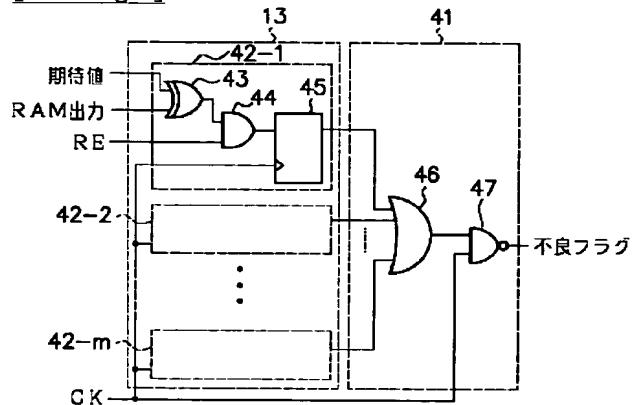
SCANフリップフロップ

[Drawing 3]



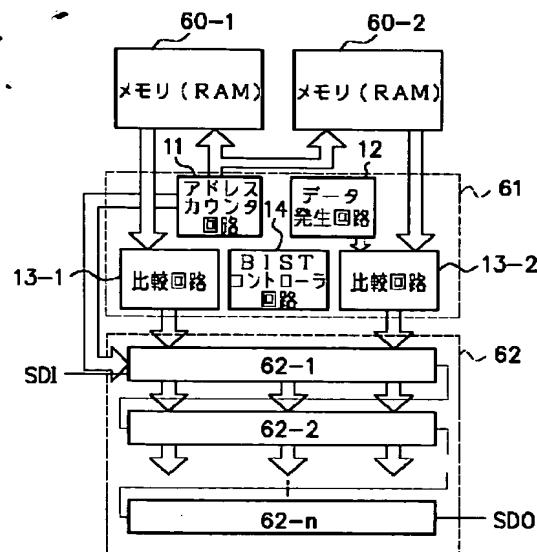
レジスタチェインの詳細図

[Drawing 4]



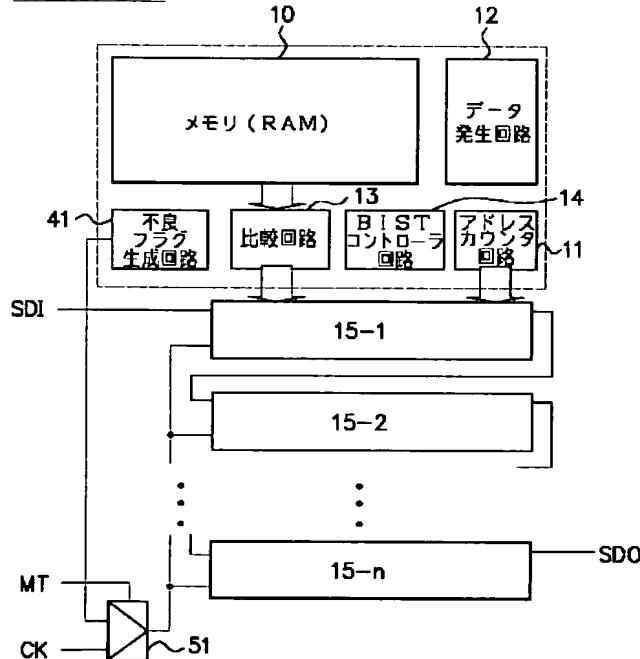
不良フラグ生成回路

[Drawing 6]

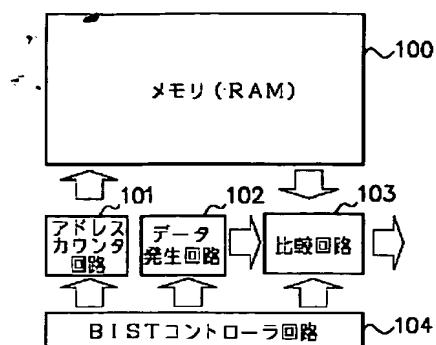


本実施形態の他の構成例

[Drawing 5]

ロジックスキャンクロックとBIST時の
不良フラグクロックの切り替え方法概要図

[Drawing 7]



従来のメモリB I S T回路

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-32998

(P2002-32998A)

(43) 公開日 平成14年1月31日 (2002.1.31)

(51) Int.Cl. ⁷	識別記号	F I	マークコード(参考)
G 11 C 29/00	6 5 5	G 11 C 29/00	6 5 5 M 2 G 0 3 2
	6 7 1		6 7 1 B 5 B 0 1 8
	6 7 5		6 7 5 L 5 L 1 0 6
G 01 R 31/28		G 06 F 12/16	3 3 0 A
G 06 F 12/16	3 3 0	G 01 R 31/28	B

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2000-214821(P2000-214821)

(22) 出願日 平成12年7月14日 (2000.7.14)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 鈴木 雅仁

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100090273

弁理士 國分 孝悦

F ターム(参考) 2G032 AA07 AB20 AC10 AE08 AE10

AK16 AK19 AL14

5B018 GA03 HA01 JA23 MA33 NA01

QA13

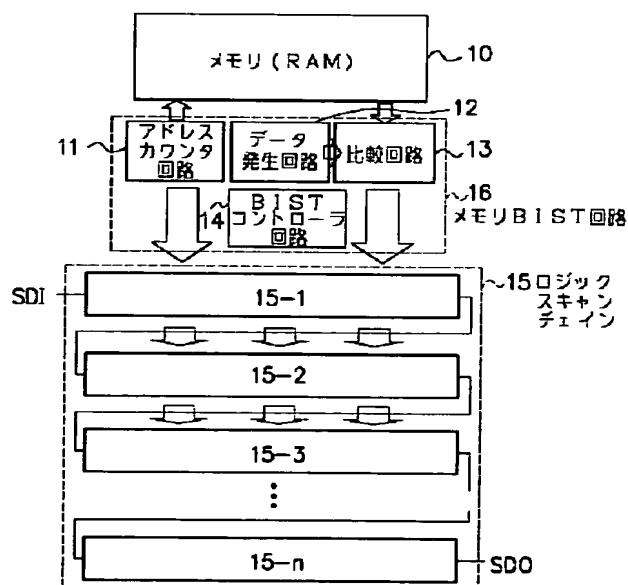
5L106 DD08 DD22 DD23 DD24 GG01

(54) 【発明の名称】 半導体記憶装置の不良解析装置

(57) 【要約】

【課題】 複雑な回路構成を追加することなく、不具合の有無、箇所、個数等を一度のB I S T試験で特定することができるようとする。

【解決手段】 メモリ10の内部に作り込まれたテスト回路を用いて、メモリ10に供給されるアドレス情報に基づいて当該メモリ10の不良判定を順次行い、その結果比較回路13から出力される不良判定情報とアドレスカウンタ回路11から出力されるアドレス情報をロジックスキャンチェイン15に順次取り込んで保持することにより、ロジックテストのために元々備えられているロジックスキャンチェイン15をメモリテストにも有効に利用して、複雑な回路構成を追加することなく、一度のB I S T試験で1つ以上の不良箇所および不良個数に関する情報をロジックスキャンチェイン15に取得することができるようとする。



本実施形態の構成例

【特許請求の範囲】

【請求項1】 半導体記憶装置の内部に作り込まれたテスト回路を用いて、供給されるアドレス情報に基づき上記半導体記憶装置の内部の不良判定を順次行う不良判定回路と、

上記不良判定回路から出力される不良判定結果情報と上記アドレス情報を取り込んで順次保持するスキャンレジスタ回路とを備えたことを特徴とする半導体記憶装置の不良解析装置。

【請求項2】 上記不良判定回路は、上記半導体記憶装置からの出力信号の期待値を発生するデータ発生回路と、

上記半導体記憶装置からの出力信号と上記データ発生回路から出力される期待値とを比較し、一致または不一致の結果を上記不良判定結果情報として出力する比較回路とを備えることを特徴とする請求項1に記載の半導体記憶装置の不良解析装置。

【請求項3】 上記スキャンレジスタ回路は、上記半導体記憶装置以外のロジック回路のテストを行う際に使用されるロジックスキャンレジスタ回路であることを特徴とする請求項1に記載の半導体記憶装置の不良解析装置。

【請求項4】 上記スキャンレジスタ回路は複数のシフトレジスタにより構成され、第1の方向に対するシフト動作と第2の方向に対するシフト動作とを切り替えるセレクタを備えたことを特徴とする請求項3に記載の半導体記憶装置の不良解析装置。

【請求項5】 上記セレクタは、上記ロジック回路のテストを行う際には上記第1の方向に対するシフト動作を選択し、上記半導体記憶装置のテストを行う際には上記第2の方向に対するシフト動作を選択することを特徴とする請求項4に記載の半導体記憶装置の不良解析装置。

【請求項6】 上記比較回路によって上記半導体記憶装置からの出力信号と上記データ発生回路から出力される期待値との不一致が検出されたときに、不良フラグを生成し、上記不良フラグをテスト動作クロックと同期して出力する不良フラグ生成回路を備えたことを特徴とする請求項2に記載の半導体記憶装置の不良解析装置。

【請求項7】 上記不良フラグ生成回路より出力される不良フラグを上記スキャンレジスタ回路の動作クロックとして用いるようにしたことを特徴とする請求項6に記載の半導体記憶装置の不良解析装置。

【請求項8】 上記不良判定回路は、複数の半導体記憶装置と共に供給されるアドレス情報に基づいて上記複数の半導体記憶装置の内部の不良判定を行い、上記スキャンレジスタ回路は、上記不良判定回路から出力される上記複数の半導体記憶装置に関する不良判定結果情報と上記アドレス情報を取り込んで順次保持することを特徴とする請求項1に記載の半導体記憶装置の不良解析装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置の不良解析装置に関するものである。

【0002】

【従来の技術】従来、半導体記憶装置等のメモリの不良を解析するための手法として、B I S T (Built-in Self Test) を使ったメモリテスト手法が良く用いられている。このB I S Tは、半導体チップの内部にテストパターンをあらかじめ作りこんでおき、そのテストパターンを使ってチップの中で全メモリセルのテストを実行して、その結果メモリ上に不良があったか否かをP A S S またはF A I Lの情報として半導体チップの外部に出力するものである。

【0003】

【発明が解決しようとする課題】このようなB I S Tによるテスト手法を用いれば、メモリテストを高速に行うことができるというメリットがある。しかしながら、得られる情報はメモリ上に不具合があったか否かの情報だけであり、メモリセルのどこに不具合があったのか、何箇所で不具合があったのか等についての情報は一切得ることができないという問題があった。

【0004】メモリセルに対応して不具合情報を保持するためのレジスタをB I S T回路に付加すれば、メモリセルの不具合箇所や不具合個数等を特定することは可能であるが、これではB I S Tの回路規模が非常に大きくなってしまう。そして、より多くの不具合情報を取得するためには、より大きなB I S T回路が必要になってしまふ。また、不具合が発生しなかった場合には、不具合情報を保持するために付加した回路が無駄になってしまふ。

【0005】図7は、このように不具合情報を保持するレジスタを備えた従来のメモリB I S T回路の構成例を示す図である。図7に示すように、メモリB I S T回路は、メモリ(RAM)100上のメモリセルを特定するためのアドレス情報を出力するアドレスカウンタ回路101、テスト結果の期待値を発生するデータ発生回路102、メモリ100の出力信号と上記期待値とを比較してメモリ100の良否を判定する比較回路103、およびメモリB I S T動作のステートを制御するB I S Tコントローラ回路104から構成される。

【0006】上記アドレスカウンタ回路101、データ発生回路102および比較回路103は、それぞれB I S Tコントローラ回路104によって制御される。比較回路103は、比較した結果をビット線の単位でレジスタに保持することができる機能を備えている。そのため、そのレジスタの状態を検出することによって、少なくとも各ビット線上の不良については識別することができる。しかし、アドレス情報を保持する機能がないため、より詳細に不具合箇所を特定することができないと

いう問題があった。

【0007】一方、全てのメモリセルの出力信号とテストアドレスとを半導体チップの外部端子に出力し、これを専用のメモリテスタ等に入力して検証するといったテスト手法も行われているが、これでは高速に動作するメモリのテストは行うことができないという問題があつた。すなわち、メモリの動作速度に対してメモリテスタの動作速度が遅いため、最近の高速なメモリを専用のメモリテスタで試験するのには限界があつた。

【0008】また、半導体チップに複数のメモリを搭載した製品では、半導体チップの外部端子に全てのメモリセルの出力信号を出力するためには、多くのセレクタ回路が必要になる。そのため、製品全体のテスト回路が大きくなってしまうほか、信号の伝播速度が遅くなり、製品のシステム動作速度を損なう場合があるという問題もあつた。

【0009】以上のことから、BIST手法を使った試験および不良解析は、以下のようにして行われているのが現状である。すなわち、まずBIST手法によってメモリテストを行い、テストを行ったメモリ上における不具合の有無を判定する。この判定方法は、メモリ出力信号とあらかじめ用意した期待値とを比較し、両者が不一致の場合に「不具合有り」の情報をレジスタに記憶させ、この情報を外部端子に出力する。ここで得られる情報は、不具合発生の有無だけである。

【0010】不具合発生が確認された場合は、次に不良解析を行う。この不良解析では、BIST動作を行い、不具合発生パターンでBIST動作を止めて、そのときの不良箇所を表す情報（ビット線／ワード線情報）を外部端子に出力する回路状態に設定し、不良情報を入手する。

【0011】しかしながら、このようなテスト手法では、複数の不具合があるメモリの場合には、全ての不良情報を取得するのにBIST動作と不良情報検出動作とを繰り返し行う必要がある。このため、BIST動作に連続性がなくなってしまい、最初に不具合の有無を検証する際の試験結果と異なる場合が生じてしまう。さらに、どのパターンで不具合が発生したか分かつてないため、最後のパターンまでBIST動作を実行して不具合情報を入手しなければならず、不良情報検出に長い時間がかかるしてしまうという問題があつた。

【0012】本発明は、このような問題を解決するために成されたものであり、複雑な回路構成を追加することなく、不具合の有無、箇所、個数等を一度のBIST試験で特定することができるようにして、メモリテストに要する処理時間を大幅に短くできるようにすることを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体記憶装置の不良解析装置では、半導体記憶装置のテスト回路を用

いて、半導体記憶装置に供給されるアドレス情報に基づいて当該半導体記憶装置の内部の不良判定を順次行い、その結果出力される不良判定結果情報をアドレス情報とをスキャンレジスタ回路に順次取り込んで保持する。このスキャンレジスタ回路は、半導体記憶装置以外のロジック回路のテストを行う際に使用するために元々備えられているロジックスキャンレジスタ回路を利用し、不良判定結果の情報を取得できる機能を追加したものである。

【0014】本発明は上記技術手段より成るので、元々存在するスキャンレジスタ回路を有効に利用して、半導体記憶装置のテスト時に検出される不良判定結果情報をアドレス情報と共にスキャンレジスタ回路に順次保持していくことが可能となる。これにより、複雑な回路構成を追加しなくても、不良が検出される度にテスト動作を止めてその不良箇所を特定するという処理を繰り返し行う必要がなくなり、一度のテストで1つ以上の不良箇所および不良個数に関する情報をスキャンレジスタ回路に取得することが可能となる。

【0015】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本実施形態による半導体記憶装置の不良解析装置の構成例を示す図である。

【0016】図1において、16は本実施形態のメモリBIST回路であり、アドレスカウンタ回路11、データ発生回路12、比較回路13およびBISTコントローラ回路14から構成される。上記アドレスカウンタ回路11は、メモリ(RAM)10上のメモリセルを特定するためのアドレス情報を出力する。データ発生回路12は、テスト結果の期待値を発生するものである。

【0017】比較回路13は、アドレス情報に基づきメモリ10から出力された信号と、上記データ発生回路12から出力された期待値とをそれぞれのリードパターン毎に比較してメモリ10の良否を判定するものである。BISTコントローラ回路14は、メモリBIST動作のスタートを制御するものである。上記アドレスカウンタ回路11、データ発生回路12および比較回路13は、それぞれBISTコントローラ回路14によって制御される。

【0018】また、15はスキャンフリップフロップで構成されたロジックスキャンチェインである。このロジックスキャンチェイン15は、複数のシフトレジスタ15-1, 15-2, …, 15-nに分割されている。分割された各シフトレジスタ15-1, 15-2, …, 15-nはそれぞれ、1つのビット線上に存在するメモリセルの数（例えば72個）とほぼ同数のレジスタで構成されている。

【0019】このロジックスキャンチェイン15は、メモリ10以外のロジック部分（図示せず）について試験を行う際の故障検出率を高くするために元々備えられて

いる構成であり、本実施形態ではこのように元々備えられている構成をメモリテストにも利用する。

【0020】通常のロジックテストを行う際には、それぞれのシフトレジスタ $15-1, 15-2, \dots, 15-n$ はX方向(図の横方向)にシフト動作を行う。これに対して、メモリテストを行う際にはY方向(図の縦方向)にシフト動作を行うようにする。本実施形態では、ロジックスキャンチェイン15が備える既存の構成に、Y方向にもシフト動作を行えるようにするための構成を追加している。これについての詳細は後述する。

【0021】上記のように構成した不良解析装置でBISTによるメモリテストを行うときには、ロジックスキャンチェイン15は、Y方向のシフトレジスタをアクティブにする。このとき、アドレスカウンタ回路11から出力されるアドレス情報と、比較回路13から出力されるメモリ10の不良判定結果情報(1つのビット線につながる各メモリセル分の不良判定情報)は、ロジックスキャンチェイン15内の1段目のシフトレジスタ $15-1$ に常に出力されている。

【0022】この場合、あるアドレス情報にて示されるビット線上のBIST試験をした結果、そのビット線上の各メモリセルに不具合が全くない場合には、全ての値が“0”的不良判定結果情報が一段目のシフトレジスタ $15-1$ に出力される。一方、あるビット線上の各メモリセルの何れか1つにでも不具合があった場合は、そのメモリセルに対応する部分の値が“1”となった不良判定結果情報が1段目のシフトレジスタ $15-1$ に出力される。

【0023】そして、不良が検出されると、ロジックスキャンチェイン15を動作させるクロックが発生し、アドレス情報と不良判定結果情報とがレジスタ内に取り込まれる。1つの不良が検出された場合でもBISTによるメモリテストは継続して行われる。そして、複数の不良が検出された場合には、1段目のシフトレジスタ $15-1$ は2段目のシフトレジスタ $15-2$ に、2段目のシフトレジスタ $15-2$ は3段目のシフトレジスタ $15-3$ というように、レジスタ内に格納された不良情報をY方向に順次シフトする。これにより、最大でn個の不良情報を各シフトレジスタ $15-1, 15-2, \dots, 15-n$ に保持することが可能である。

【0024】以上のBIST試験の結果、各シフトレジスタ $15-1, 15-2, \dots, 15-n$ に保持された情報の状態を検出することによって、アドレス情報に基づきメモリ10上の不良箇所を詳細に特定することができる。また、メモリ10上にいくつの不良があったのかについても簡単に知ることができる。

【0025】図2は、上記ロジックスキャンチェイン15を構成する1つのスキャンフリップフロップの回路構成を示す図である。図2に示すように、スキャンフリップフロップは、D型フリップフロップ(DFF)21

10 と、2個のセレクタ22, 23により構成される。このような構成のスキャンフリップフロップが、図3に示すようにマトリクス状に複数配置されて、図1のロジックスキャンチェイン15が構成されている。なお、図3において、点線はロジックテスト時に使用するX方向のスキャン動作の流れを示し、実線はメモリテスト時に使用するY方向のスキャン動作の流れを示している。

【0026】図2において、S1x, S1yはそれぞれスキャンチェインの入力端子、S0x, S0yはそれぞれスキャンチェインの出力端子である。図示しないロジック部のテストを行う際のロジックスキャンチェイン(X方向のシフト動作)は、入力端子S1xと出力端子S0xにより実現される。すなわち、あるスキャンフリップフロップの出力端子S0xから出力された情報は、X方向の隣りにある次段のスキャンフリップフロップの入力端子S1xに入力される。

【0027】また、メモリ10のテストを行う際のBIST状態(Y方向のシフト動作)は、入力端子S1yと出力端子S0yにより実現される。すなわち、あるスキャンフリップフロップの出力端子S0yから出力された情報は、Y方向の隣りにある次段のスキャンフリップフロップの入力端子S1yに入力される。

【0028】このようなX方向およびY方向のチェインの切り替えは、セレクタ22がメモリテストモード信号MTに基づいて行う。すなわち、セレクタ22には、X方向の入力端子S1xからの情報と、Y方向の入力端子S1yからの情報とが入力されている。セレクタ22は、入力されるメモリテストモード信号MTに従って何れかの情報を選択し、選択した情報をセレクタ23に出力する。

【0029】セレクタ23には、上記セレクタ22により選択された情報と、テスト時以外の通常のシステム動作時に与えられる情報Sys-inとが入力されている。セレクタ23は、入力されるセレクトイネーブル信号SEに従って何れかの情報を選択し、選択した情報をDFF21に出力する。セレクタ23は、製品出荷前のロジックテストあるいはメモリテスト時にはセレクタ22からの出力情報を選択し、製品出荷後はシステム情報Sys-inを常に選択する。

【0030】このように、本実施形態では、スキャンフリップフロップの構成として元々備えられていたセレクタ23およびDFF21に対し、セレクタ22を追加することにより、BISTによるメモリテスト時にはY方向にもシフト動作を行えるようにしている。

【0031】上記セレクタ23で選択された情報は、DFF21に供給されるクロックCKに従って当該DFF21に保持される。BISTによるメモリテスト実行時におけるクロックCKは、図1の比較回路13におけるBISTの判定結果に基づき生成される不良フラグに従って生成される。この不良フラグを生成するための回路

は、例えば図4のように構成される。

【0032】図4に示すように、図1に示した比較回路13に対して不良フラグ生成回路41を追加している。比較回路13は、1つのビット線上に存在するメモリセルの数（例えば72個）と同数の比較処理部42-1, 42-2, …, 42-mを有している。それぞれの比較処理部42-1, 42-2, …, 42-mは、メモリ10内のメモリセルからの出力信号とデータ発生回路12からの期待値とを2入力とするXOR回路43と、このXOR回路43の出力信号とリードイネーブル信号REとを2入力とするAND回路44と、このAND回路44の出力信号をクロックCKに従って保持するレジスタ45とから構成される。

【0033】上記リードイネーブル信号REは、リード状態では“H”となり、ライト状態では“L”となる。これにより、メモリ10のメモリセルから読み出された信号と期待値との不一致が検出されると、レジスタ45の出力信号は“H”となる。このような不良判定動作が複数の比較処理部42-1, 42-2, …, 42-mにおいてそれぞれ行われ、その結果が全て不良フラグ生成回路41内のOR回路46に入力される。

【0034】したがって、複数の比較処理部42-1, 42-2, …, 42-mにおいて、あるビット線上に存在する複数のメモリセルに関してそれぞれ不良判定を行った結果、何れか1つでもメモリセルの不良が検出された場合には、OR回路46から“H”的信号が出力される。OR回路46の出力信号は、クロックCKと共にNAND回路47に入力され、このNAND回路47の出力信号が不良フラグとして出力される。これにより、不良フラグとしては、クロックCKと逆相のパルスが出力される。

【0035】このようにして不良フラグ生成回路41により生成された不良フラグは、図1に示したロジックスキヤンチェイン15の動作クロックとして使用する。図5にその場合の概要図を示す。図5は、ロジックスキヤン時に使用するクロックとBISTによるメモリスキヤン時に使用するクロックとの切り替え方法を説明するための図であり、上記不良フラグ生成回路41を含めた構成を示している。なお、図5において、図1に示した符号と同一の符号を付したものは同一の機能を有するものであるので、これについての詳細な説明は省略する。

【0036】図5に示すように、不良フラグ生成回路41より出力された不良フラグと、外部より供給されるクロックCKとの何れかを、メモリテストモード信号MTに従ってセレクタ51にて選択し、選択した方の信号をロジックスキヤンチェイン15の動作クロックとして使用している。ロジックスキヤン時には外部より供給されるクロックCKをロジックスキヤンチェイン15に供給し、メモリスキヤン時には不良フラグをロジックスキヤンチェイン15に動作クロックCKとして供給する。

10

20

30

40

50

【0037】これにより、メモリスキヤン時には、ロジックスキヤンチェイン15は、メモリ10上で不良が検出されたときにのみ、その不良情報をシフトレジスタ15-1, 15-2, …, 15-nに順次取りこんでいく。

【0038】すなわち、メモリ10のあるビット線上で不良が検出されると、不良フラグ生成回路41より不良フラグが出力され、アドレスカウンタ回路11より出力されるアドレス情報と、比較回路13より出力される不良判定結果情報とがロジックスキヤンチェイン15の1段目のシフトレジスタ15-1に入力され、不良フラグの立ち上がりエッジによって不良判定結果情報が取り込まれる。

【0039】また、不良が2つ検出された場合は、不良フラグの立ち上がりエッジに同期して、1段目のシフトレジスタ15-1に保持された不良情報が2段目のシフトレジスタ15-2にシフトされ、新しい不良情報が1段目のシフトレジスタ15-1に上書きされる。3つ以上の不良が検出された場合も同様に、レジスタ内に保持された不良情報をY方向に順次シフトする。これにより、最大でn個の不良情報を各シフトレジスタ15-1, 15-2, …, 15-nに保持する。

【0040】全てのBIST動作が完了した後、メモリテストモード信号MTを切り替えてロジックスキヤン状態にし、各シフトレジスタ15-1, 15-2, …, 15-nの保持結果を外部端子SDOより出力して検証することにより、不良が発生した箇所や個数を正確に検出することができる。

【0041】なお、上記実施形態では、メモリ10が1つの場合について説明したが、ロジックスキヤンチェイン15の長さを変えることによって、複数のメモリを同時にテストし、不良情報も一度に収集することが可能である。図6は、2つのメモリ60-1, 60-2を同時にテストする場合の構成例を示す図である。なお、この図6において、図1に示した符号と同一の符号を付したもののは同一の機能を有するものであるので、重複する説明を省略する。

【0042】図6に示すメモリBIST回路61は、アドレスカウンタ回路11と、データ発生回路12と、2つの比較回路13-1, 13-2と、BISTコントローラ回路14とを備えている。アドレスカウンタ回路11は、同一のアドレス情報を2つのメモリ60-1, 60-2に出力する。これに応じてメモリ60-1, 60-2は、指定された同じアドレスのメモリセルの情報を2つの比較回路13-1, 13-2に出力する。比較回路13-1, 13-2は、不良判定処理を並列的に実行する。

【0043】また、図6に示すロジックスキヤンチェイン62は、複数のシフトレジスタ62-1, 62-2, …, 62-nに分割されている。分割された各シフトレ

ジスタ $62-1, 62-2, \dots, 62-n$ はそれぞれ、2つのメモリ $60-1, 60-2$ のそれぞれにある1つのビット線上に存在するメモリセルの合計数とほぼ同数のレジスタで構成されている。つまり、メモリ $60-1, 60-2$ がそれぞれ図1のメモリ10と同等の容量を持つものであるとすれば、図6のシフトレジスタ $62-1, 62-2, \dots, 62-n$ が持つレジスタ数は、図1のシフトレジスタ $15-1, 15-2, \dots, 15-n$ が持つレジスタ数の2倍となる。

【0044】この図6のように構成した場合も、BISTによるメモリテストを行うときには、ロジックスキャンチェイン62は、Y方向のシフトレジスタをアクティブにする。このとき、アドレスカウンタ回路11から出力されるアドレス情報と、2つの比較回路13-1, 13-2から出力されるメモリ $60-1, 60-2$ の不良判定結果情報は、ロジックスキャンチェイン62内の1段目のシフトレジスタ $62-1$ に常に出力されている。

【0045】この場合、あるアドレス情報にて示されるビット線上のBIST試験をした結果、そのビット線上の各メモリセルに不具合が全くない場合には、全ての値が“0”的不良判定結果情報が1段目のシフトレジスタ $62-1$ に出力される。一方、あるビット線上の各メモリセルの何れか1つにでも不具合があった場合は、そのメモリセルに対応する部分の値が“1”となった不良判定結果情報が1段目のシフトレジスタ $62-1$ に出力される。

【0046】そして、不良が検出されると、ロジックスキャンチェイン62を動作させるクロックが発生し、アドレス情報と不良判定結果情報とがレジスタ内に取り込まれる。1つの不良が検出された場合でもBISTによるメモリテストは継続して行われる。そして、複数の不良が検出された場合には、1段目のシフトレジスタ $62-1$ は2段目のシフトレジスタ $62-2$ に、2段目のシフトレジスタ $62-2$ は3段目のシフトレジスタ $62-3$ というように、レジスタ内に格納された不良情報をY方向に順次シフトする。これにより、2つのメモリ $60-1, 60-2$ に関する不良情報を最大でn個同時に各シフトレジスタ $62-1, 62-2, \dots, 62-n$ に保持することが可能である。

【0047】そして、全てのBIST動作が完了した後、メモリテストモード信号MTを切り替えてロジックスキャン状態にし、各シフトレジスタ $62-1, 62-2, \dots, 62-n$ の保持結果を外部端子SDOより出力して検証することにより、2つのメモリ $60-1, 60-2$ において不良が発生した箇所や個数を正確に検出することができる。

【0048】なお、上記に示した実施形態は、何れも本

発明を実施するにあたっての具体化の一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその精神、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0049】

【発明の効果】以上詳しく述べたように、本発明によれば、ロジックテストのために元々存在するスキャンレジスタ回路をメモリテストにも有効に利用して、半導体記憶装置のテスト時に検出される不良判定結果情報をアドレス情報と共にスキャンレジスタ回路に順次保持していくことが可能となる。これにより、複雑な回路構成を追加することなく、一度のテストで1つ以上の不良箇所および不良個数を特定することができ、メモリテストに要する処理時間を大幅に短くすることができる。

【図面の簡単な説明】

【図1】本実施形態による半導体記憶装置の不良解析装置の構成例を示す図である。

【図2】ロジックスキャンチェインを構成する1つのスキャンフリップフロップの回路構成を示す図である。

【図3】図2に示したスキャンフリップフロップを用いたレジスタチェインの構成例を示す図である。

【図4】不良フラグ生成回路の構成例を示す図である。

【図5】ロジックスキャン時に使用するクロックとBISTによるメモリスキャン時に使用するクロックとの切り替え方法を説明するための図である。

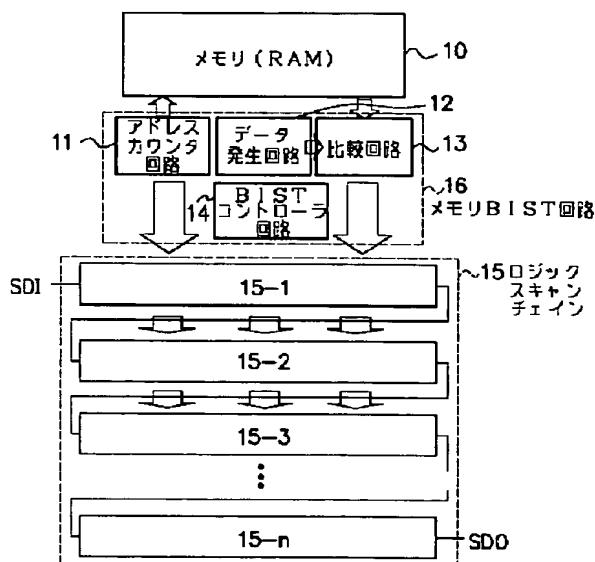
【図6】本実施形態による半導体記憶装置の不良解析装置の他の構成例を示す図である。

【図7】従来のメモリBIST回路の構成を示す図である。

【符号の説明】

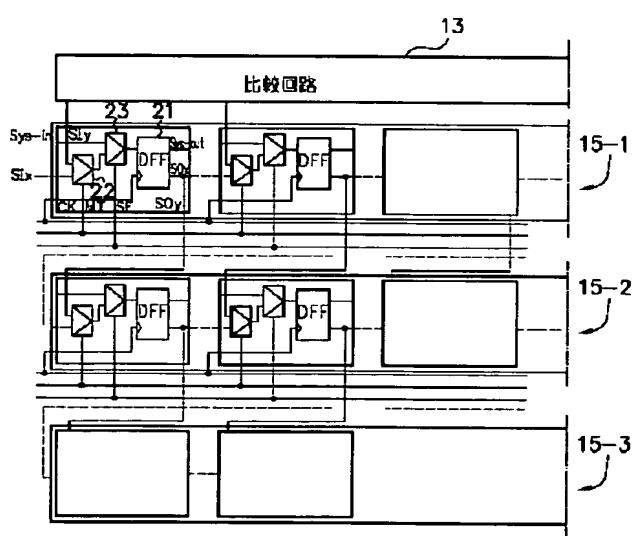
- 10 メモリ (RAM)
- 11 アドレスカウンタ回路
- 12 データ発生回路
- 13 比較回路
- 14 BISTコントローラ回路
- 15 ロジックスキャンチェイン
- 15-1, 15-2, 15-n シフトレジスタ
- 16 メモリBIST回路
- 22 セレクタ
- 41 不良フラグ生成回路
- 51 セレクタ
- 60-1, 60-2 メモリ (RAM)
- 61 メモリBIST回路
- 13-1, 13-2 比較回路
- 62 ロジックスキャンチェイン
- 62-1, 62-2, 62-n シフトレジスタ

【図1】



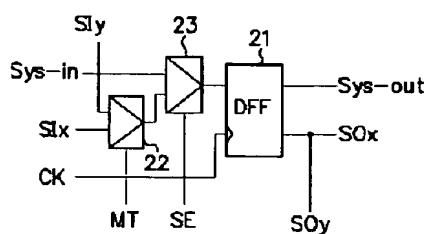
本実施形態の構成例

【図3】



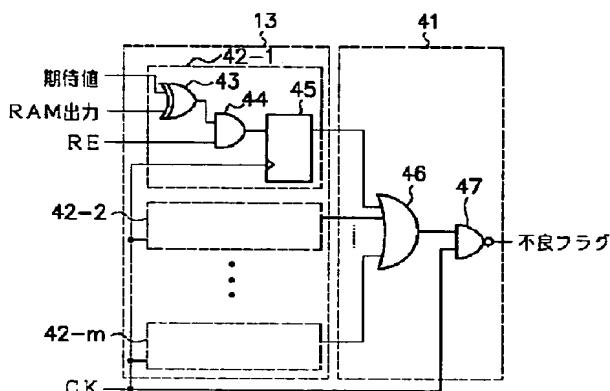
レジスタチェインの詳細図

【図2】



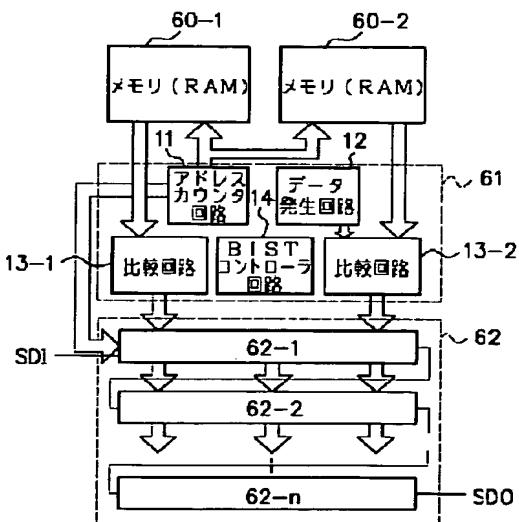
SCANフリップフロップ

【図4】



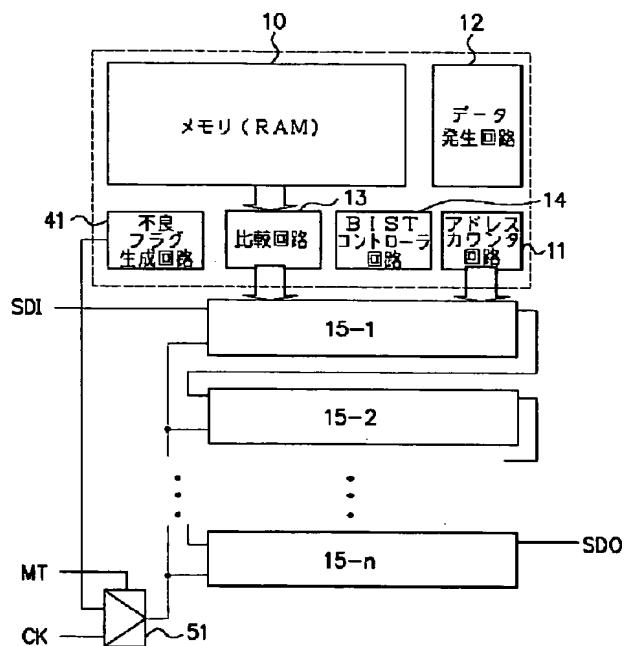
不良フラグ生成回路

【図6】



本実施形態の他の構成例

【図5】



ロジックスキヤンクロックとBIST時の
不良フラグクロックの切り替え方法概要図

【図7】

